

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

AUTOMATIC LAYOUT SYSTEM FOR SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP4006850
Publication date: 1992-01-10
Inventor(s): TSURUTA MASAHIKO
Applicant(s): NEC IC MICROCOMPUT SYST LTD
Requested Patent: ☐ JP4006850
Application Number: JP19900108360 19900424
Priority Number(s):
IPC Classification: H01L21/82; G06F15/60
EC Classification:
Equivalents: JP2641960B2

Abstract

PURPOSE: To separate and form the power-supply interconnection of a digital circuit and the power-supply interconnection of an analog circuit without requiring a layout process of the analog circuit by human efforts after an automatic mask layout operation of the digital circuit by a method wherein an analog circuit part is divided into a plurality of regions and the regions are laid out in a prescribed region as a plurality of dummy pads.

CONSTITUTION: At an automatic mask layout system for a semiconductor integrated circuit, an automatic mask layout tool is used, and a digital circuit and an analog circuit are arranged so as to be adjacent inside a layout region. At the system, said layout region is divided into a first region and a second region 2. Prescribed digital circuits 2a to 2c, power-supply interconnections 5a, 5b to be used exclusively by the digital circuits 2a to 2c and bonding pads 3a to 3i, 4c, 4d are laid out in the first region. An analog circuit part which is composed of a prescribed analog circuit 9, power-supply interconnections 8a, 8b to be used exclusively by the analog circuit 9 and bonding pads 7a to 7h is divided into a plurality of regions; the regions are laid out in said second region as a plurality of dummy pads 3c, 4a, 4b.

Data supplied from the esp@cenet database - 12

⑫ 公開特許公報(A) 平4-6850

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月10日

H 01 L 21/82
G 06 F 15/60

370 K

7922-5L
8225-4M

H 01 L 21/82

C

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体集積回路の自動レイアウト方式

⑯ 特 願 平2-108360

⑰ 出 願 平2(1990)4月24日

⑱ 発 明 者 鶴 田 匡 彦

東京都港区芝5丁目7番15号 日本電気アイシーマイコン
システム株式会社内⑲ 出 願 人 日本電気アイシーマイ
コンシステム株式会社

神奈川県川崎市中原区小杉町1丁目403番53

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体集積回路の自動レイアウト方式

2. 特許請求の範囲

自動マスキレイアウトツールを使い、レイアウト領域内にデジタル回路とアナログ回路を隣接して配置する半導体集積回路の自動マスキレイアウト方式において、前記レイアウト領域を第1および第2の領域に分割し、前記第1の領域に所定のデジタル回路、前記デジタル回路専用の電源配線及びボンディングパッドをレイアウトし、所定のアナログ回路、前記アナログ回路専用の電源配線及びボンディングパッドからなるアナログ回路部を複数の領域に分割し、複数の疑似パッドとして前記第2の領域にレイアウトすることを特徴とする半導体集積回路の自動マスキレイアウト方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路装置のレイアウトに関し、特に、デジタル回路とアナログ回路が混在する半導体集積回路のレイアウトの自動化に関する。

〔従来の技術〕

従来、この種の半導体集積回路の自動レイアウトにおいては、例えばアナログ-デジタル(A/D)変換回路の様なアナログ回路とデジタル回路の混在する装置における電源配線の場合、チップの端部に隣接してアナログ回路を設け、その他の部分にデジタル回路を設けている。又デジタル回路に電源電位 V_{DD} 及び接地電位 V_{SS} を供給する為の一对の電源配線をチップの外周部に沿って設けている。そしてアナログ回路の電源供給用ボンディングパッドをデジタル回路用の電源配線との間に設けている。

一方、自動マスキレイアウトのツールを使用し、てのレイアウトは、一般にチップ全体がデジタル回路である事を前提に自動マスキレイアウトのフ

ルゴリズムが組まれている為にアナログ回路とデジタル回路との区別なく電源を引き回し配線してしまう。この為、製品において高速動作をするデジタル回路の雑音等が電源配線を介してアナログ回路へ回り込み、アナログ回路の精度を劣化させる。

このような問題を避ける為、従来、この種の自動マスキレイアウトの方式はデジタル回路のみをエソジニアリングワークステーション(以後EWSと記す)で予め用意されているNAND回路やNOR回路等の標準セルと、ボンディングパッドセルを自動配置、自動配線させ、その後アナログ回路とアナログ回路への電源供給用のボンディングパッドの付加、及びそれに伴う信号線、電源配線の修正を行っていた。

第3図及び第4図に従来の自動マスキレイアウト例を示す。第3図に示すようにチップ1内にはデジタル回路を構成する標準セル2a~2cの列が形成され、これらを取り巻くようにチップ1外周部にボンディングパッドのセル3a~3jが設

けられている。修正の結果デジタル回路部分Aにはデジタル用電源配線5a、5bにより、アナログ回路部分Cにはアナログ用電源配線8a、8bによりそれぞれの電源が供給される。

上述した自動マスキレイアウトツールを使用した従来のレイアウト方式では、デジタル回路とアナログ回路が混在する半導体集積回路をレイアウトする場合、電源配線が共通となるため、この防止策として、人手による修正で電源配線の分離を行わなければならないという欠点がある。

〔発明が解決しようとする課題〕

本発明の目的は、デジタル回路の自動マスキレイアウト後に人手によるアナログ回路のレイアウト工程を必要とせず、事前にアナログ回路部を任意に設定することにより自動マスキレイアウトツールによるレイアウトのみで、デジタル回路とアナログ回路の電源配線を分離形成できるレイアウト方式を提供することにある。

〔課題を解決するための手段〕

本発明の自動マスキレイアウト方法は、レイア

けられる。その内セル3cと3jは、後工程でアナログ回路を付加修正する時、デジタル回路とアナログ回路とが信号をやり取りするための配線6a、6bを導く為に疑似的に配置したパッドセルである。また、自動マスキレイアウトツールによるレイアウト設計では、チップ1の四隅に疑似的存在のコーナーパッドセル4a~4dを必要とする。パッド3a~3j、4a~4dの外周と内周には、デジタル回路に電源電位 V_{DD} 、接地電位 V_{SS} を供給する為の一对の電源配線5a、5bが設けられる。このようにして、デジタル回路のレイアウト設計により、デジタル回路部Aと疑似アナログ回路部Bとが完成される。

次に第4図のように疑似アナログ部Bを切り取って新たにアナログ回路部分であるCを人手により修正し付け加える。このアナログ回路部Cには、アナログ回路を構成する領域9、アナログ回路9に信号及び電源を供給するボンディングパッド7a~7h、アナログ回路に電源を供給する為の一对の電源配線8aと8bとが、人手によりレ

イアウト領域内にデジタル回路とアナログ回路を隣接して配置する半導体集積回路の自動マスキレイアウト方式において、前記レイアウト領域を第1および第2の領域に分割し、前記第1の領域に所定のデジタル回路、前記デジタル回路専用の電源配線及びボンディングパッドをレイアウトし、所定のアナログ回路、前記アナログ回路専用の電源配線及びボンディングパッドからなるアナログ回路部を複数の領域に分割し、複数の疑似パッドとして前記第2の領域にレイアウトするものである。

このような方式によりデジタル回路の自動レイアウト後に人手により改めてアナログ回路を付加修正する必要はなく、あらかじめアナログ回路部を疑似パッドに分割配置しておけば、自動レイアウトツールを用いてデジタル回路部のレイアウト時に同時に設けることができる。

〔実施例〕

次に本発明の構成について実施例に基づき図面を参照しながら説明する。第1図に示すように実施例による半導体集積回路装置のマスキレイア

トにおいては半導体基板上にデジタル回路部分とアナログ回路部分とに分けて配置され、そのデジタル回路を構成する標準セル列2a～2cが自動マスキングレイアウトによりチップ1内に配置される。そしてそのデジタル回路部分の周りでデジタル回路への入・出力端子であるボンディングパッドセル3a～3i、チップ1の四隅に自動配置されるコーナーパッドセル4a～4d、デジタル回路専用の電源配線5a、5bが自動配線される。

この実施例の特徴は、コーナーパッドセルの4a、4bとボンディングパッドセルの3cとが隣接配置され、しかも、これらのパッドセル3c、4a、4bが第2図に示す様にアナログ回路9とアナログ回路9への入出力端子であるボンディングパッド7a～7h、及びアナログ回路専用の電源配線8a、8bを含む様に構成されていることである。この様にアナログ回路部を擬似的にコーナーパッドセル4a、4bとそのコーナーパッドセル間のボンディングパッドセル3cに見立てる事により、アナログ回路専用電源配線と、デジタル回路専用

電源配線とを、EWSを使用した自動マスキングレイアウトでも分離して自動配線する事が出来、デジタル回路とアナログ回路とが混在する半導体集積回路の自動マスキングレイアウト設計においても高精度の特性を達成するレイアウトが可能となる。

〔発明の効果〕

以上説明した様に本発明によれば、自動マスキングレイアウトツールを利用したアナログ回路とデジタル回路が混在する半導体集積回路のレイアウト設計において、アナログ回路専用の電源配線とデジタル回路専用の電源配線を分離して配線する事が可能となり、これによって製品化した場合、デジタル回路より発生する雑音等のアナログ回路への影響を低減した高精度の半導体集積回路を容易に設計することが可能となる。

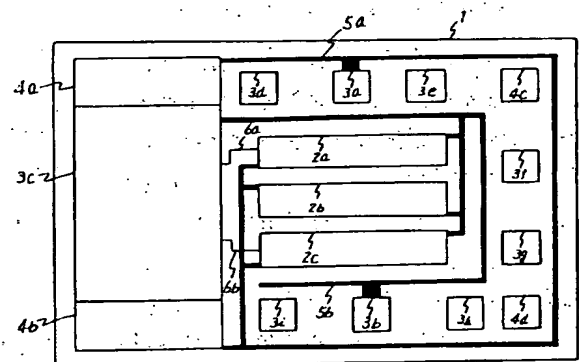
4. 図面の簡単な説明

第1図は本発明の実施例により自動レイアウトされた半導体集積回路装置を示す平面図、第2図は第1図の3c、4a、4b中のレイアウトを示す

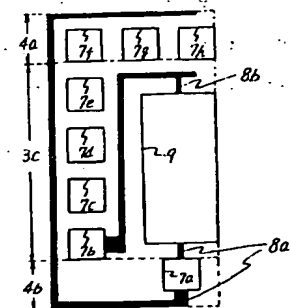
す平面図、第3図は半導体集積回路のデジタル回路部分を従来の方法で自動レイアウトした結果を示す平面図、第4図は第3図のデジタル回路にアナログ回路部分を付加修正した状態を示す平面図である。

1……半導体基板（チップ）、2a～2c……デジタル回路のセル列、3a～3i……デジタル回路用ボンディングパッドセル、4a～4d……コーナーパッドセル、5a、5b……デジタル回路専用電源配線、6a、6b……デジタル回路とアナログ回路間の信号配線、7a～7h……アナログ回路用ボンディングパッドセル、8a、8b……アナログ電源配線、9……アナログ回路のセル。

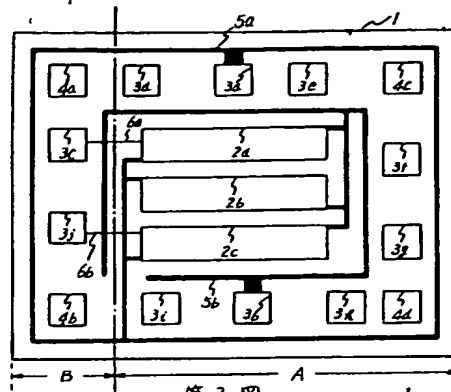
代理人 弁理士 内 原 晋



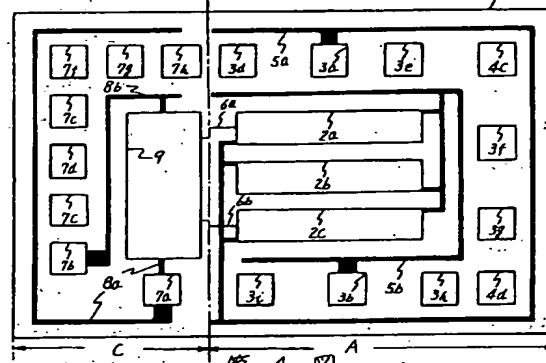
第 1 図



第 2 図



第 3 図



第 4 図